



**Integrated Circuit design
at the university of applied sciences**



Microelectronics in Education

Ulrich Totzek

Organisation

Standort: Wilhelmshaven

Fachbereich: Ingenieurwissenschaften

Wiss. Einheit: Angewandte Informatik
(8 Professoren, 7 wiss. Mitarbeiter)

Studiengang: Informationstechnik

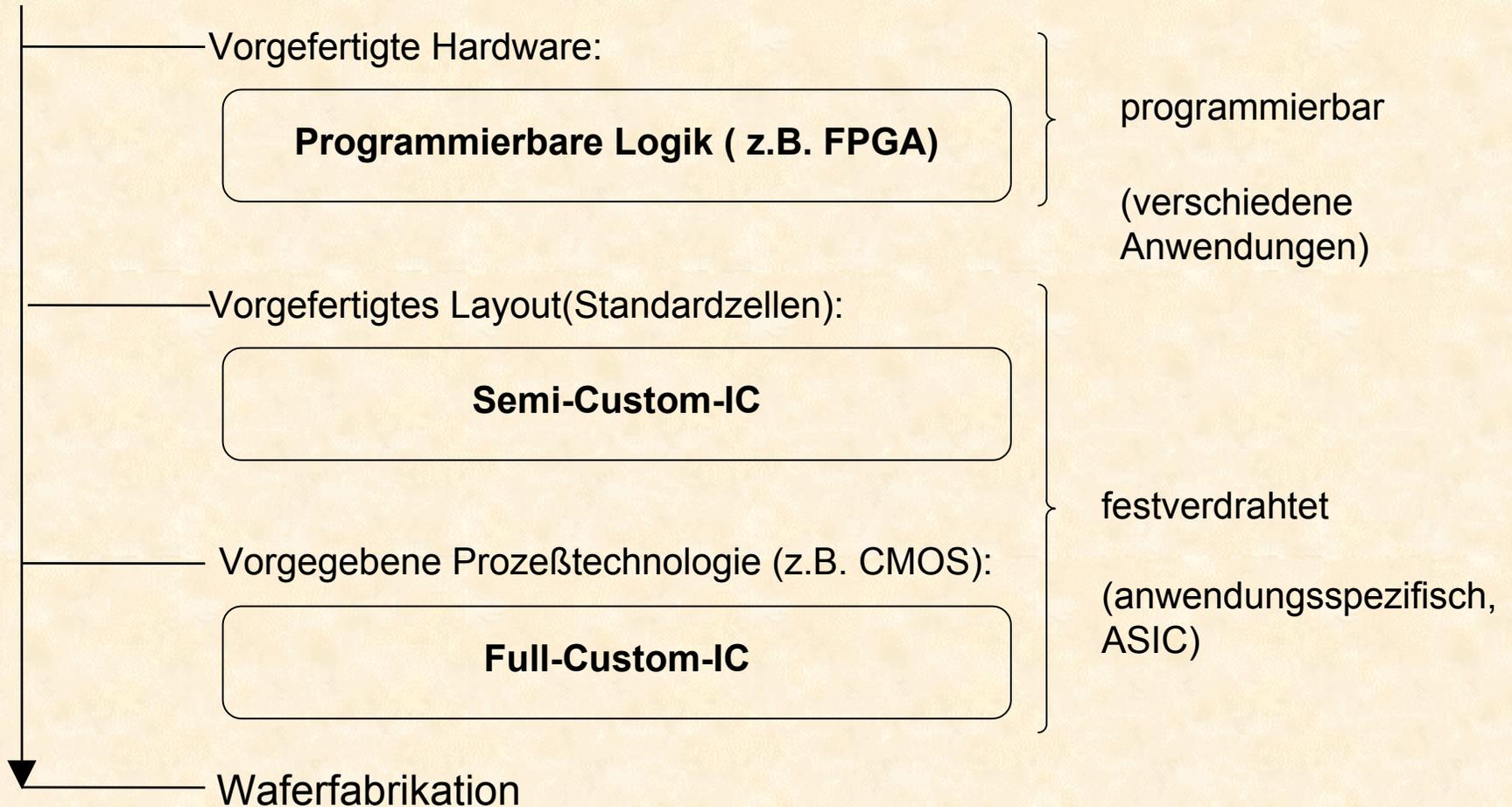
Fächer: Schaltungsintegration (VLSI-Design)
Mikroelektronischer Systementwurf (FPGAs)

Zeitliche Entwicklung des Labors für den Entwurf Integrierter Schaltungen

- März 1993** Gründungsbeschuß des Fachbereichrates Elektrotechnik
- 1994** EUROPRACTICE-Mitgliedschaft (vormals EUROCHIP)
- 1995** eigener Raum im Südgebäude (zusammen mit Prozeßrechentechnik)
- 1996** Umzug ins Hauptgebäude
SUN-Workstation-Pool und CADENCE-Software aus HBFG-Mitteln (DM 250'000,-- plus DM 220'000,-- für Prozeßrechentechnik)
- 1997** 2. Ausbaustufe des Großgerätes „IC-Design-System“ aus HBFG-Mitteln (DM 100'000,--)
- 1998** Erweiterung des Großgerätes um einen „IC-Test-Meßplatz“ aus HBFG-Mitteln (DM 135'000,--)
- 2003** Modernisierung: 12 SUN Ultra 60 Creator 3d ,OS Solaris 7 (aus Institut für C-Techniken)

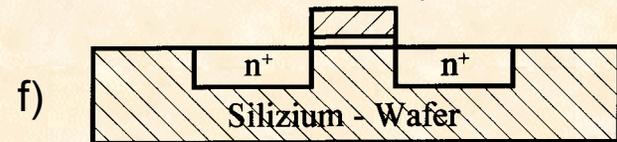
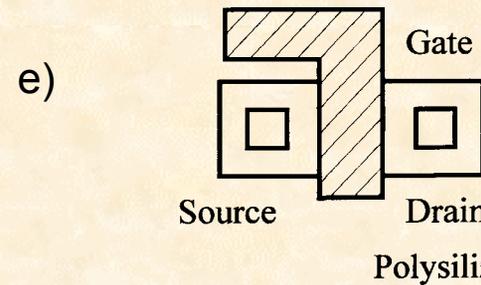
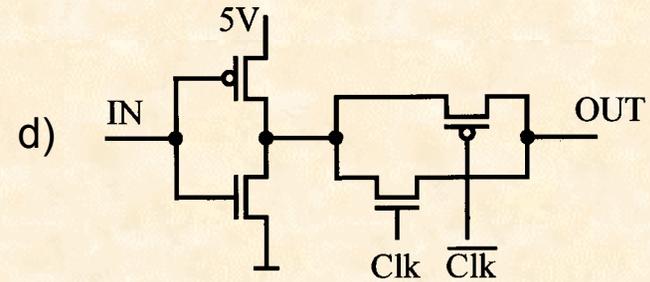
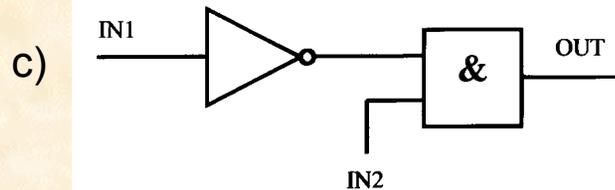
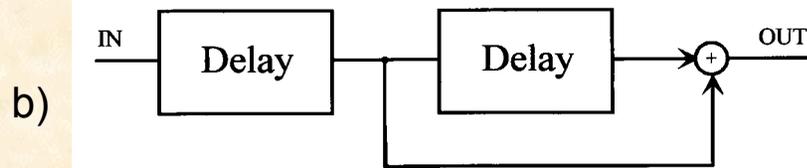
Arbeitsfelder

Fertigungstiefe (Entwurfsebene)



Entwurfsebenen

a) $OUT(n) = IN(n-1) + IN(n-2)$



a) Algorithmus

b) Schaltungsarchitektur

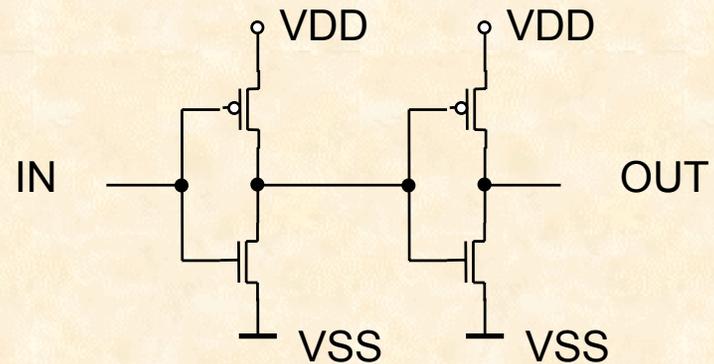
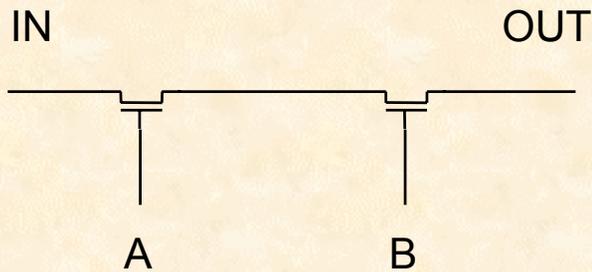
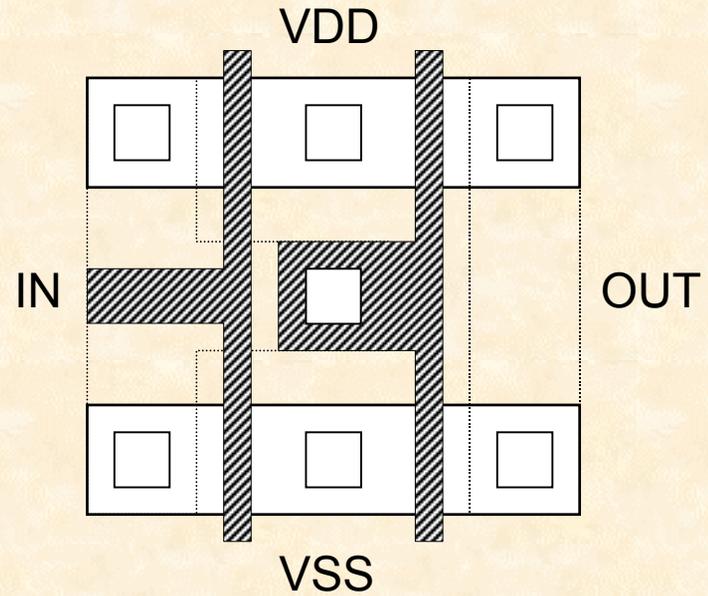
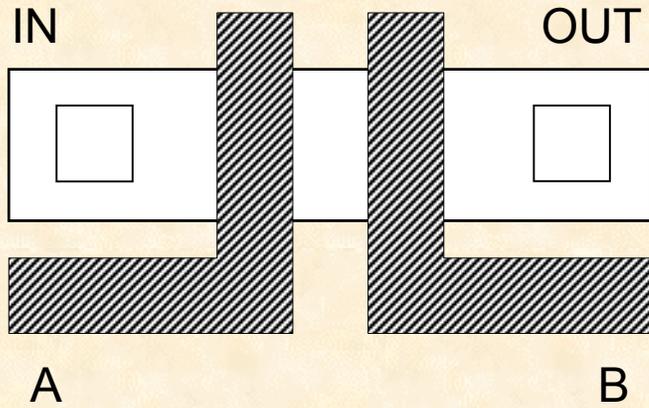
c) Logikbeschreibung

d) Transistorschaltung

e) Chiplayout

f) Chipfertigung

Optimierung der Layoutfläche



Optimierung der Transistoranzahl

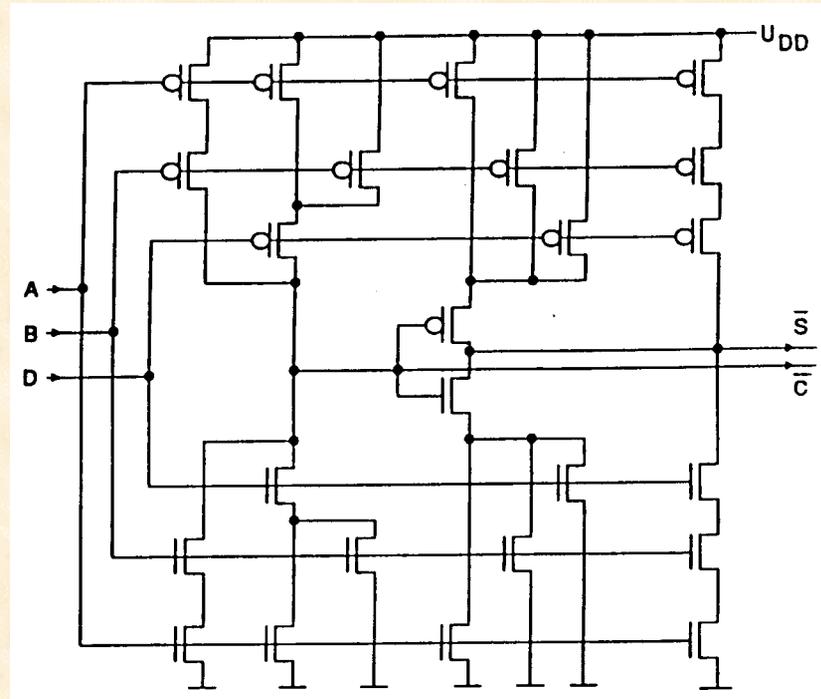
$$S = ABD + \bar{A}\bar{B}\bar{D} + \bar{A}\bar{B}D + \bar{A}B\bar{D}$$

$$C = AB + AD + BD$$

Summe: 8 AND, 3 OR

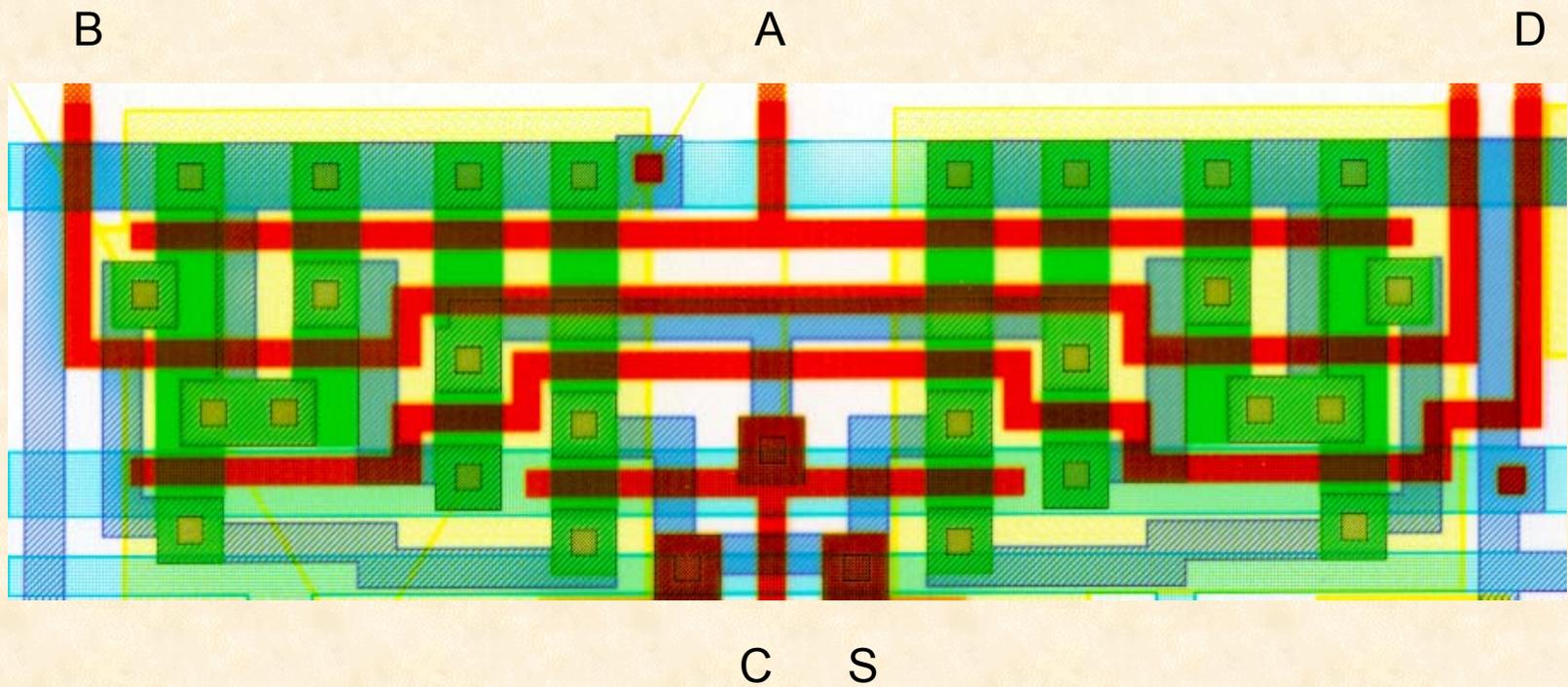
Carry: 3 AND, 2 OR

-
- 16 Gatter
 - 64 Transistoren



- 24 Transistoren
- symmetrisch

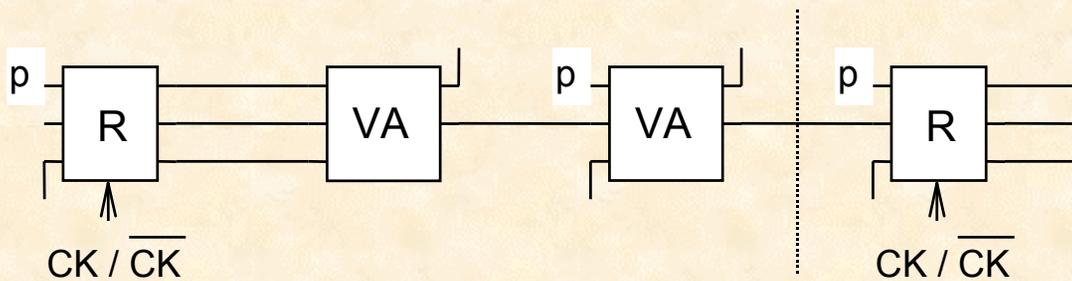
Layout einer Volladdiererzelle



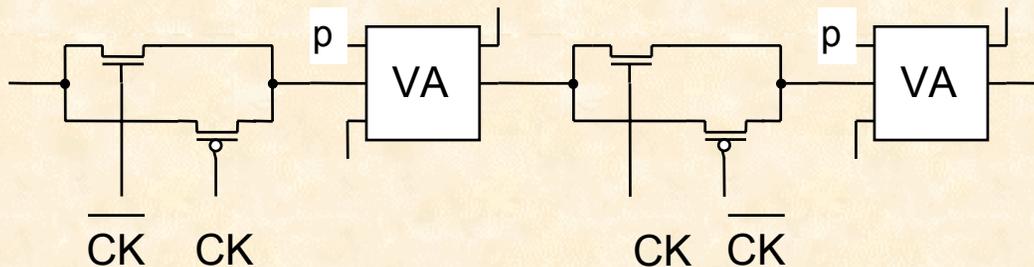
Optimiertes Pipelining

Effizienz = Datendurchsatzrate / Layoutfläche

2 Additionen pro Taktzyklus:



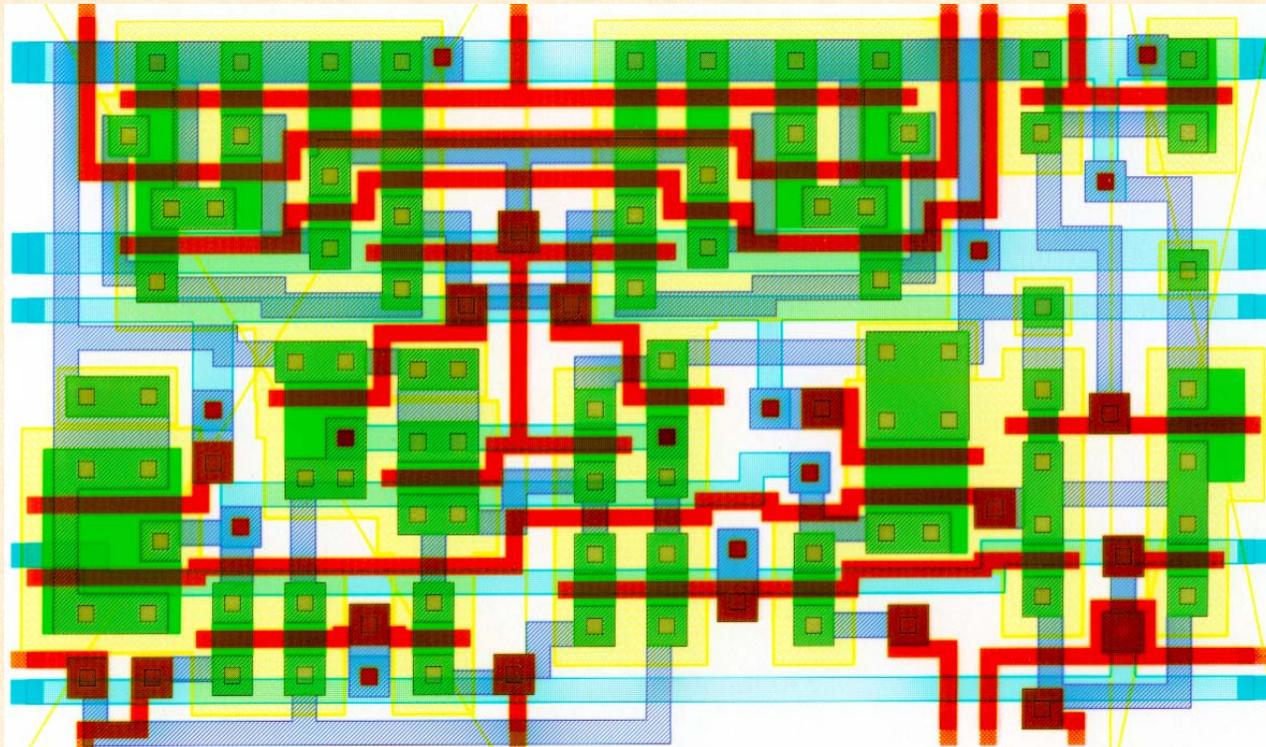
3 Register pro Pipelining-Stufe
→ 24 Transistoren



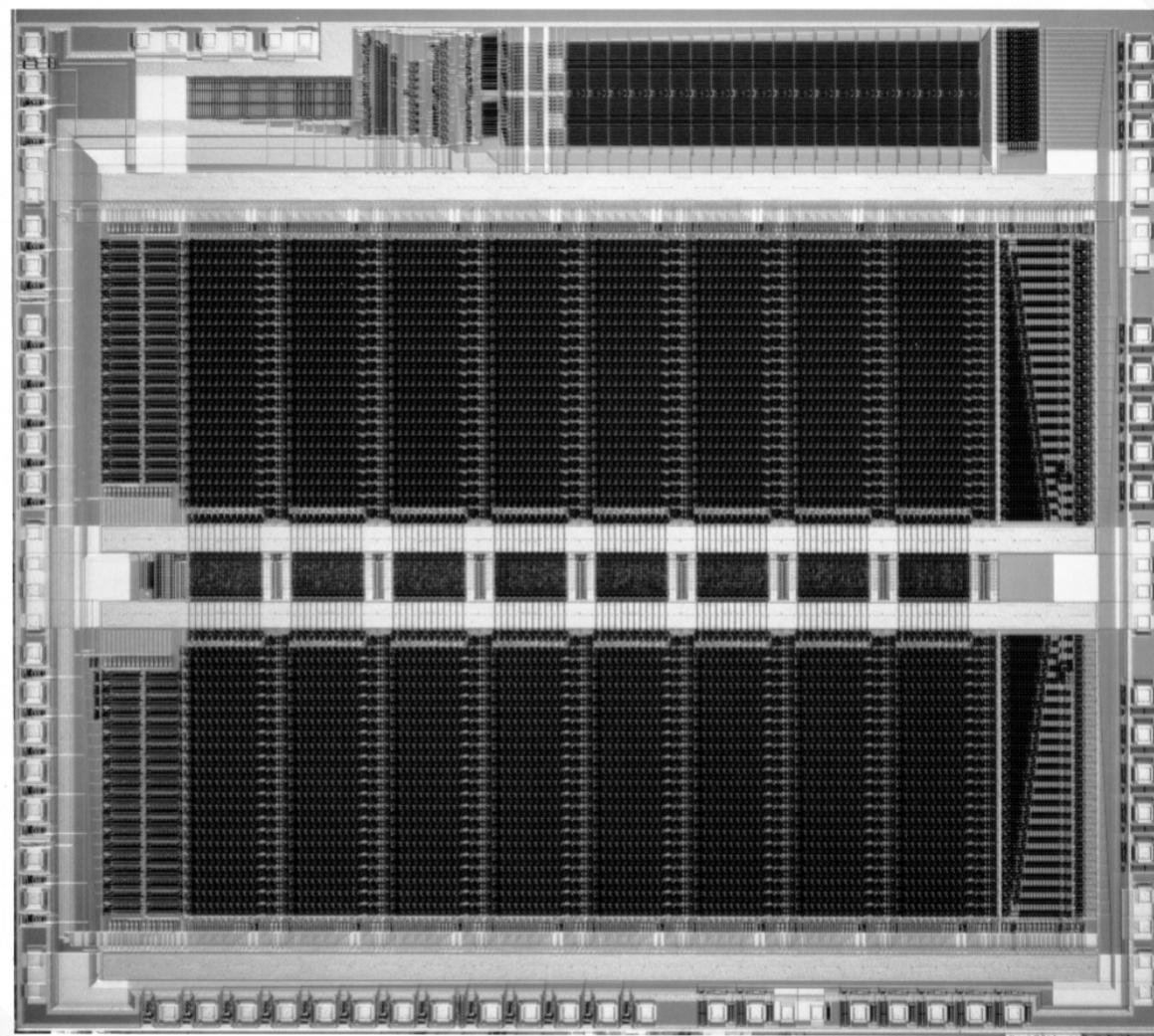
6 Transmissionsgatter pro
Pipelining-Stufe
→ 12 Transistoren

50% weniger Registerfläche
ca. 25% weniger Gesamtfläche

Layout einer Multipliziererkernezelle (Abutmentzelle)



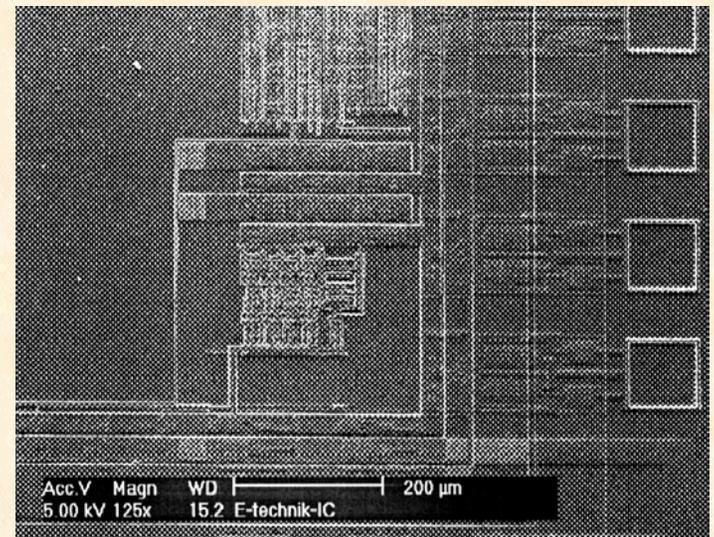
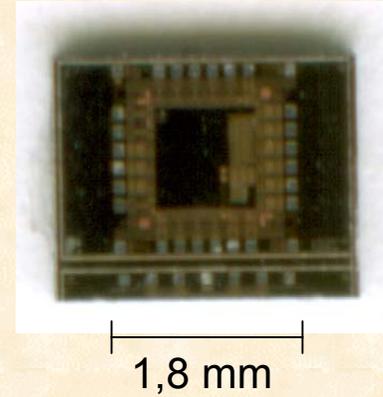
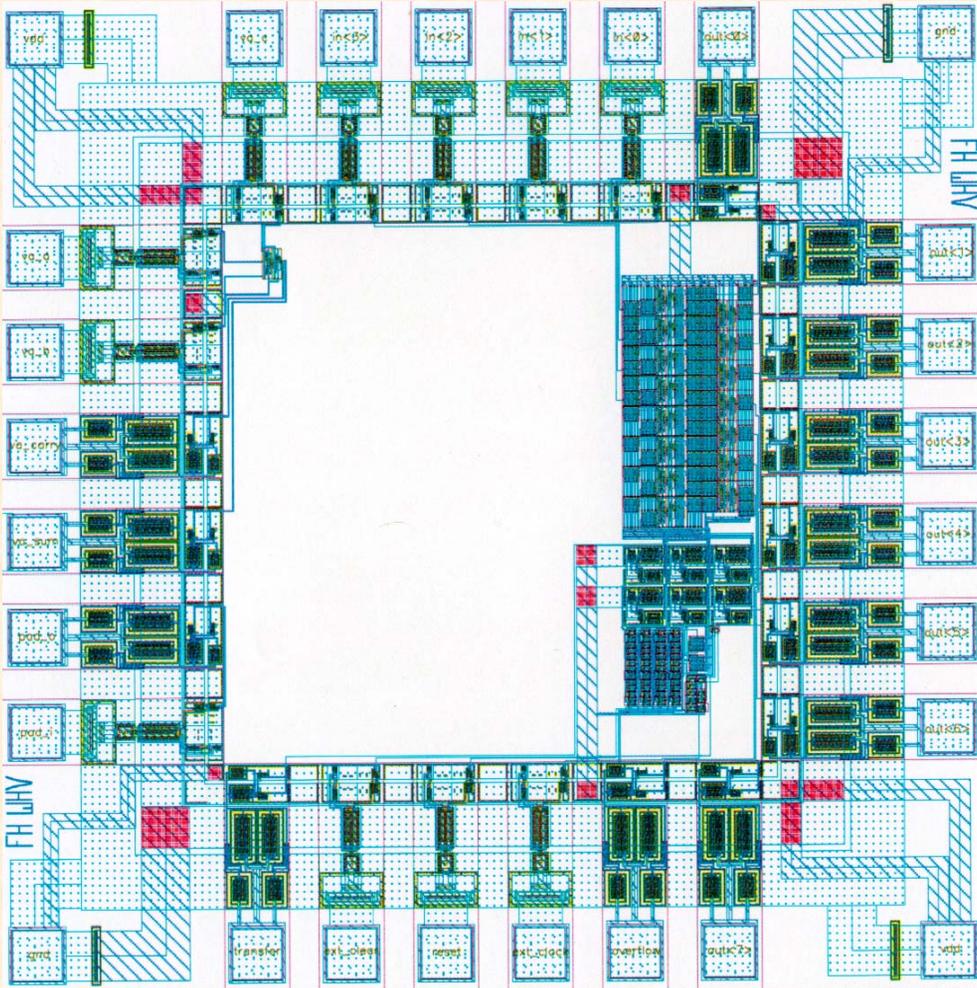
DCT-Chip mit 16 Multiply/Add-Prozessoren



CMOS-Testchip

Funktion:	Schnelle Akkumulation von Binärzahlen. Carry-Save-Arithmetik mit Pipelining für hohe Durchsatzraten unabhängig von der Wortbreite.
Entwurfsmethode:	Full-Custom Design. Entwicklung der Basiszellenbibliothek in einem studentischen Projekt (10 Studenten, 1 Semester). Chipzusammenstellung durch 1 wissenschaftlichen Mitarbeiter (1 Semester).
Technologie:	0,7 um CMOS
Transistoranzahl:	2000
Fläche:	1,8 mm x 1,8 mm = 3,24 mm ²
Fertigung:	ES2 European Silicon Structures IMEC, Leuven, Belgien

Testchip: Layout und Silizium



Schlussfolgerungen

Lehre:

Full-Custom-Design verbindet Digitaltechnik und Informatik mit Transistorschaltungstechnik und Bauelemente-Physik

→ *Grundlagen der Mikroelektronik*

Technologietransfer:

Es steht ein leistungsfähiges Labor mit moderner Geräteausstattung und Software nach industriellem Standard zur Verfügung

→ *Kooperationen mit Hochschulen*

→ *Industriekooperationen*



Ende

Hardware: 12 Sun Ultra 60 Creator 3d, OS Solaris 7
4Sun Ultra 1, OS Solaris 2.5.1
1 Ultra 2 (Server), OS Solaris 2.5.1

Plotter: HP Design Jet 5000PS

Software: HSPICE Version 2000.4
CADENCE Version 4.4.2 (im Einsatz)
CADENCE Version 4.4.6